

各位同學好：

近年來蓬勃發展的物聯網、工業 4.0、人工智能等浪潮，加上電晶體技術因摩爾定律的發展，當今消費性電子產品之晶片架構設計，除了功能多，設計複雜，更需要工程師能夠在短時間內設計出符合下一代需求的高效能晶片，才能因應變化快速的數位電子產品需求。

發展近 30 年的 FPGA (Field-Programmable Gate Array) 有著可在晶片製成後改變電路行為，以及電路可達近於完全客製化晶片的效能。與 CPU 與 GPU 相比，執行相通工作所需之耗電也較低。由於這些特性，在追求晶片產品快速發展但又要求高效能的現代，FPGA 被視為物聯網、工業 4.0、人工智能等相關晶片設計的重要工具之一。

這次，我們邀請到 e 元素(FPGA 的最大製造商 Xilinx 在台灣的代理商)，來到暨大，跟同學們分享 Xilinx FPGA 的基本認識，使用 Xilinx FPGA 進行晶片設計的基本技能，以及 Xilinx FPGA 專用之開發環境 Vivado 的教學。只要同學有修過 Logic Design，有 Verilog 的基本概念，都可以來上這個 workshop。

本次活動訂在 3/15 全天，於科三 208 舉行。詳細行程請見下方文件。除了課程免費，中午有提供便當，結業完成會提供電子檔的結業證書一張。由於空間有限，最多只能接受 30 位同學的報名。活動資訊如下：

活動名稱：Vivado workshop

地點：科三 208

開始時間：2019/3/15 上午 9:30

結束時間：2019/3/15 下午 4:30

報名日期：即日起至 2019/3/10(日) PM 5:00

人數限制：30 人

報名網址：請以學校信箱登入後填寫 <https://goo.gl/forms/GvJColZxHByvxk5H2>

活動聯絡人：黃雋瀧

聯絡方式：[s107321510@mail1.ncnu.edu.tw](mailto:s107321510@mail1.ncnu.edu.tw)

因人數受限(30 人)，報名完後請點選以下連結，查看是否報名成功(每天 PM 6:00 更新)：

<https://docs.google.com/spreadsheets/d/1YwPBehXNKfWQNj4B8S-p1ZCvB2RPJS2lfNkxoEhNYLM/edit?usp=sharing>



## 2019 年暨南大學教育訓練 基於 FPGA 的 Vivado 設計流程

尊敬的老師：

您好！

為在台灣推廣最新可程式設計技術，配合大專院校教學改革，美國XILINX大學計畫部與一元素科技將在南投為台灣的教授和學生舉辦為期1天的workshop課程培訓。講師為XILINX全球授權培訓講師，本次培訓內容為基於FPGA的Vivado設計流程的課程。

本課程培訓將結合實驗設備和手冊完成實驗的講授和輔導，通過培訓，您可以掌握基於FPGA的設計流程，熟悉相關實驗步驟；可以勝任對大學相關課程的教學、課程的開發與科研專案的開發工作；同時也為後續課程打下很好的基礎，並在此基礎繼續深造。

### 參會基礎:

- (1). 具備基本的數位設計經驗
- (2). 具備基本的 HDL 知識(VHDL 或 Verilog)
- (3). FPGA 基礎概念

### 教育訓練時間和地點：

時間：2019 年 03 月 15 號（星期五）

地點：科三 208



Xilinx 的全球合作夥伴

一元素科技股份有限公司  
[www.e-elements.com](http://www.e-elements.com)

教育訓練時間安排:

日期	時間	課程簡介	課程內容
3/15	9.30~10.00	Xilinx E-element 2019 Product Update	Training Roadmap and Details
	10.00~10.30	7-Series Architecture Overview	Describe the basic slice resources available in 7-Series FPGAs
	10.40~11.10	Vivado Design Flow	Explain how the design analysis features of the Vivado IDE can help in FPGA design development
	11.10~12.00	Lab1	Use Vivado IDE to create a simple HDL design
	13.30~14.00	Using the IP Catalog and IP Integrator	Achieve greater design productivity using Vivado IP Integrator
	14.00~15.00	Lab2	Generate a user IP and Use IP Integrate to generate a core and instantiate in the design.
	15.10~15.40	Hardware Debugging	Understand the key benefits provided by the Vivado logic debug feature
	15.40~16.30	Lab3	Use Mark Debug feature and also available Integrated Logic Analyzer(ILA) core to debug the hardware.